

CLIPPEDIMAGE= JP406120035A

PAT-NO: JP406120035A

DOCUMENT-IDENTIFIER: JP 06120035 A

TITLE: INTEGRATED TRANSFORMER AND MANUFACTURING METHOD THEREOF

PUBN-DATE: April 28, 1994

INVENTOR-INFORMATION:

NAME

HACHIMAN, KAZUHIRO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC IND CO LTD

N/A

APPL-NO: JP04264528

APPL-DATE: October 2, 1992

INT-CL (IPC): H01F017/00;H01F041/04

US-CL-CURRENT: 29/602.1,336/200

ABSTRACT:

PURPOSE: To realize a compact and non-adjusting transformer by a method wherein a multiple of planes assuming the central lines of poly-gonal cylinders formed of ferromagnetic body as normals are provided with spiral inductors centered on the normals so as to seal the whole periphery of the polygonal cylinders and spiral inductors with the ferromagnetic body.

CONSTITUTION: A first ferromagnetic body layer 31 is laminated on an insulated substrate; a first interlayer insulating film 21 is laminated taking polygonal shape; and then the first interlayer insulating film 21 is removed in the polygonal shape so as to form a first spiral inductor. Next, a second interlayer insulating film 22 is laminated also taking polygonal shape and then the central part of the second interlayer insulating film 22 is removed in the polygonal shape so that the second interlayer insulating film 22 with the first spiral inductor and the central part removed in the polygonal shape may be laminated exceeding zero or one time. Finally, the third interlayer insulating film 23 is laminated taking the polygonal shape and after removing the central part thereof in the polygonal shape, the second ferromagnetic body layer 32 is laminated.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-120035

(43)公開日 平成 6 年(1994) 4 月28日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 F 17/00	B	7129-5E		
41/04	C	8019-5E		

審査請求 未請求 請求項の数3(全 6 頁)

(21)出願番号 特願平4-264528

(22)出願日 平成 4 年(1992)10月 2 日

(71)出願人 00005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 八幡 和宏

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

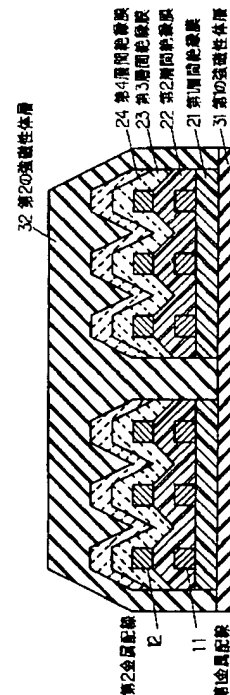
(74)代理人 弁理士 小鍛治 明 (外 2 名)

(54)【発明の名称】 集積化トランス及びその製造方法

(57)【要約】

【目的】 従来のディスクリット・トランスより小型で無調整なトランスを提供する。

【構成】 強磁性体で形成された多角柱を有し、前記多角柱の中心線を方線とする複数の平面上に、前記方線を中心とするスパイラルインダクタを有し、前記多角柱及び前記スパイラルインダクタの全周を強磁性体で封止するか、強磁性体で形成された2本の多角柱を有し、前記多角柱の中心線を方線とする複数の平面上に、前記方線を中心とするスパイラルインダクタを有し、前記方線を平行にした状態で前記多角柱を2辺とする多角形を形成し、前記多角形及びスパイラルインダクタを一体化し全周を強磁性体で封止する。



【特許請求の範囲】

【請求項1】強磁性体で形成された多角柱を有し、前記多角柱の中心線を方線とする複数の平面上に、前記方線を中心とするスパイラルインダクタを有し、前記多角柱及び前記スパイラルインダクタの全周を強磁性体で封止したことを特徴とする集積化トランス。

【請求項2】強磁性体で形成された2本の多角柱を有し、前記多角柱の中心線を方線とする複数の平面上に、前記方線を中心とするスパイラルインダクタを有し、前記方線を平行にした状態で前記多角柱を2辺とする多角形を形成し、前記多角形及びスパイラルインダクタを一体化し全周を強磁性体で封止したことを特徴とする集積化トランス。

【請求項3】絶縁された基板上に第1の強磁性体層を積層し、第1の絶縁膜を積層し、前記第1の絶縁膜を多角形状にし、前記第1の絶縁膜の中央部を多角形状に取り除き、第1のスパイラルインダクタを形成し、第2の絶縁膜を積層し、前記第2の絶縁膜を多角形状にし、前記*

*第2の絶縁膜の中央部を多角形状に取り除き、前記第1のスパイラルインダクタと中央部を多角形状に取り除いた前記第2の絶縁膜の積層構造を0回または1回以上積層し、第3の絶縁膜を積層し、前記第3の絶縁膜を多角形状にし、前記第3の絶縁膜の中央部を多角形状に取り除き、第2の強磁性体層を積層することを特徴とする集積化トランスの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、集積回路を構成するトランスに関するものである。

【0002】

【従来の技術】高周波回路を構成する場合、トランスはたいへん有効な部品である。以下図面を参照しながらトランスの一例について説明する。

【0003】図1に示すようなトランスでは、

【0004】

【数1】

$$\frac{E_2}{E_1} = \frac{N_2}{N_1}, \quad \frac{I_2}{I_1} = \frac{N_1}{N_2}$$

$$\frac{Z_2}{Z_1} = \frac{(E_2/I_2)}{(E_1/I_1)} = \frac{N_1}{N_2}$$

E : 信号源電圧

N_1 : 一次側巻数

E_1 : 入力端子電圧

N_2 : 二次側巻数

E_2 : 出力端子電圧

Z_1 : 入力インピーダンス

I_1 : 入力電流

Z_2 : 出力インピーダンス

I_2 : 出力電流

【0005】のような電圧・電流の関係が成り立ち、入出力間のインピーダンスは、巻数の2乗の比で変換されることが判る。

【0006】一方トランスは、入力2つの端子間に与えられた信号のみを伝達する。即ち差動成分だけを伝達し、同相成分を無視する。

【0007】以上を説明するためにトランジスタのコレ※

※クタ側にトランスを使うことを考える。(図2)巻線のインダクタンスは直流に対して何の効力も持たず、ショートと同じ状態をつくる。交流に対しては、電圧電流の伝達を行い電力を負荷へと伝える。負荷の抵抗は、巻線比の2乗に比例してコレクタ側に現れ、

【0008】

【数2】

$$E_2 = \frac{N_2}{N_1} E_1, \quad I_2 = \frac{N_1}{N_2} I_{ac}$$

$$E_1 = \frac{N_1^2}{N_2} R \cdot I_{ac}$$

E_1 : 入力端子電圧

L_1 : 漏洩インダクタンス

E_2 : 出力端子電圧

M : 相互インダクタンス

I_{ac} : 交流電流

N_1, N_2 : 巻数

I_{dc} : 直流電流

【0009】以上のような電圧・電流の関係となる。

★55～56) 従来トランスは、図3に示すように高い透磁率を有するフェライト等できたトロイダル・コアに

絶縁膜で被覆された金属線を巻き付けることによって得られていた。

【0010】

【発明が解決しようとする課題】従来トランスはディスクリット部品であり、図3に示すようなトロイダル・コアに金属線を巻き付けることによって得られる。従ってトランスはその構造から調整が必要であり、またサイズは他のディスクリット部品に較べて、非常に大きいものであって、近年のシステムの小型化に対して大きな問題となっている。

【0011】本発明は、かかる点に鑑みてなされたもので、小型、無調整なトランスを提供することを目的としている。

【0012】

【課題を解決するための手段】上記課題を解決するために本発明のトランスは、強磁性体で形成された多角柱を有し、前記多角柱の中心線を方線とする複数の平面上に、前記方線を中心とするスパイラルインダクタを有し、前記多角柱及び前記スパイラルインダクタの全周を強磁性体で封止するか、または強磁性体で形成された2本の多角柱を有し、前記多角柱の中心線を方線とする複数の平面上に、前記方線を中心とするスパイラルインダクタを有し、前記方線を平行にした状態で前記多角柱を2辺とする多角形を形成し、前記多角形及びスパイラルインダクタを一体化し全周を強磁性体で封止するという構成を備えたものである。

【0013】

【作用】本発明は上記した構成を集積化することにより、従来のディスクリット部品較べて小型でかつ無調整なバランスを提供することができる。

【0014】

【実施例】図4～13図は、トランス作製工程の上面図であり、図14は、トランスの断面図であって、等価な部分については同一の参照番号を付して示すものとする。

【0015】図4～13に示した本発明の集積化トランスの上面図を用いて本発明について説明する。

【0016】まず、絶縁された半導体基板上にフェライトを用いて図4のように第1の強磁性体層31を形成する。次に窒化珪素を用いて図5のように第1層間絶縁膜21を形成する。次に金を用いて図6のように第1金属配線11を形成する。第1金属配線11によって第1のスパイラルインダクタ71及び第1の入力端子51が形成される。次に窒化珪素を用いて図7のように第2層間絶縁膜22を形成する。次に金を用いて図8の用に第2金属配線12を形成する。第2金属配線12によって、第2のスパイラルインダクタ72及び第1の出力端子61が形成される。次に窒化珪素を用いて図9のように第3層間絶縁膜23を形成する。次に、図10のように、第1のスパイラルインダクタ71と第1の出力端子61

を接続するための第1のコンタクトホール41と第2のスパイラルインダクタ72と第2の出力端子62を接続するための第2のコンタクトホール42を開ける。次に、金を用いて図11のように第3金属配線13を形成する。第3金属配線13によって第2の入力端子52と第2の出力端子62が形成される。次に、窒化珪素を用いて図12のように第4層間絶縁膜24を形成する。次に、フェライトを用いて図13のように第2の強磁性体層32を形成する。これにより請求項記載のフェライトの多角柱がスパイラルインダクタの中央に形成され、スパイラルインダクタを含む全周をフェライトで封止できた。中央の断面図が図14であって請求項の構造が形成されていることが解る。

【0017】以上の構成を半導体基板上に集積することにより小型で無調整のトランスを提供できる。

【0018】

【発明の効果】以上、詳細に説明したように、本発明の構成を集積化することにより、従来のディスクリット・トランスより製作時における煩雑な調整を省くことができ、小型で無調整なトランスを提供することができる。

【図面の簡単な説明】

【図1】トランスの動作説明の回路図

【図2】トランスの動作説明の回路図

【図3】トロイダル・コアの一例を示す構成図

【図4】本発明による実施例でトランスの制作工程の第1の上面図

【図5】本発明による実施例でトランスの制作工程の第2の上面図

【図6】本発明による実施例でトランスの制作工程の第3の上面図

【図7】本発明による実施例でトランスの制作工程の第4の上面図

【図8】本発明による実施例でトランスの制作工程の第5の上面図

【図9】本発明による実施例でトランスの制作工程の第6の上面図

【図10】本発明による実施例でトランスの制作工程の第7の上面図

【図11】本発明による実施例でトランスの制作工程の第8の上面図

【図12】本発明による実施例でトランスの制作工程の第9の上面図

【図13】本発明による実施例でトランスの制作工程の第10の上面図

【図14】本発明によるトランスの断面図

【符号の説明】

11 第1金属配線

12 第2金属配線

13 第3金属配線

21 第1層間絶縁膜

10

20

30

40

50

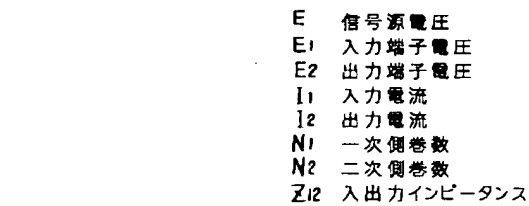
5

- 22 第2層間絶縁膜
- 23 第3層間絶縁膜
- 24 第4層間絶縁膜
- 31 第1の強磁性体層
- 32 第2の強磁性体層
- 41 第1のコンタクトホール
- 42 第2のコンタクトホール

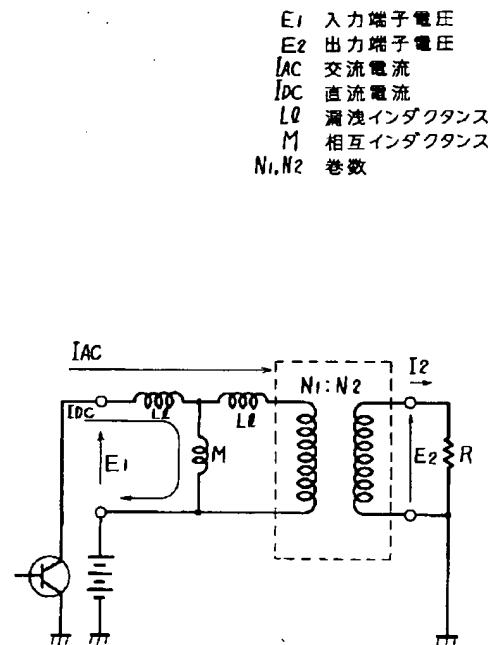
6

- 51 第1の入力端子
- 52 第2の入力端子
- 61 第1の出力端子
- 62 第2の出力端子
- 71 第1のスパイラルインダクタ
- 72 第2のスパイラルインダクタ

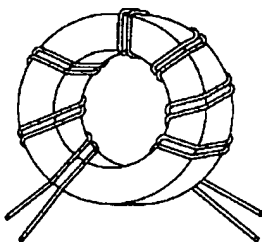
【図1】



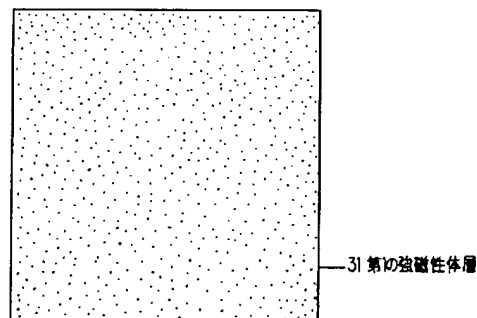
【図2】



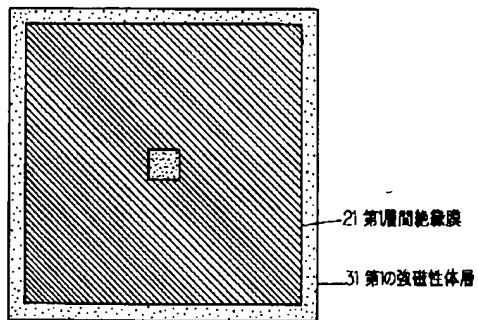
【図3】



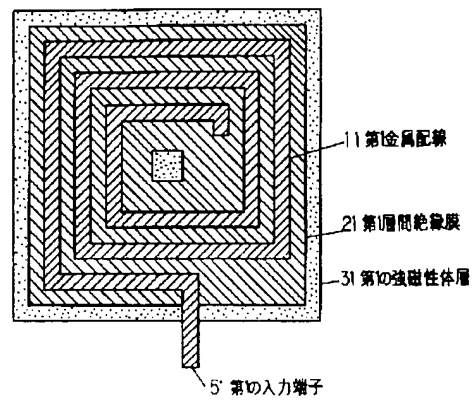
【図4】



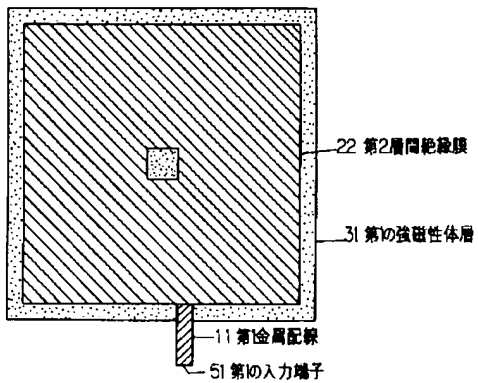
【図5】



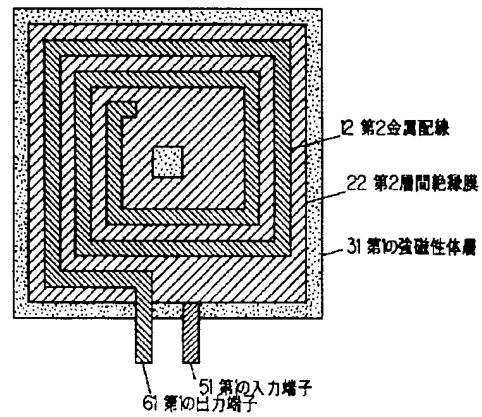
【図6】



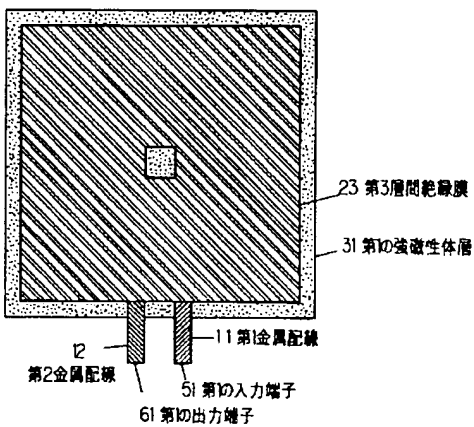
【図7】



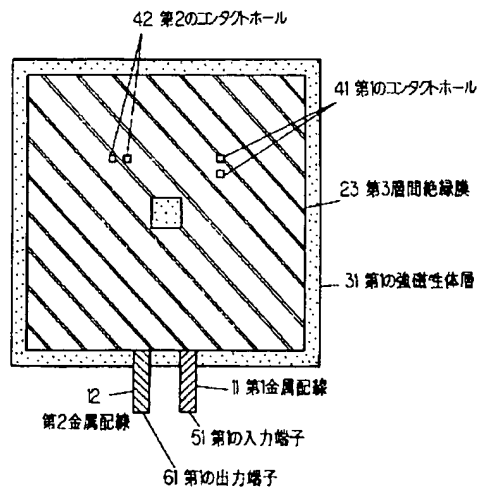
【図8】



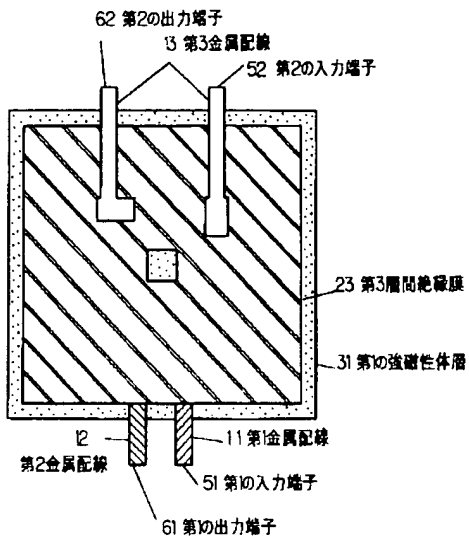
【図9】



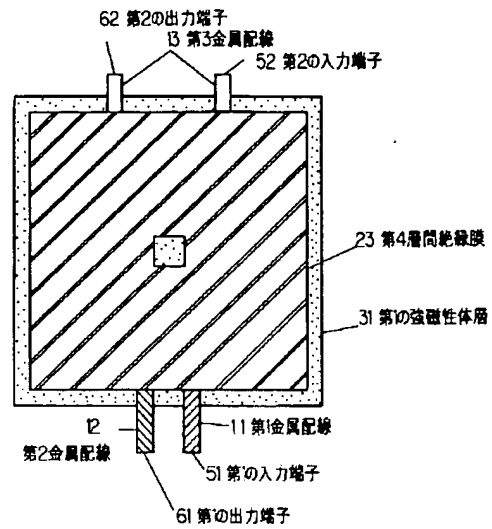
【図10】



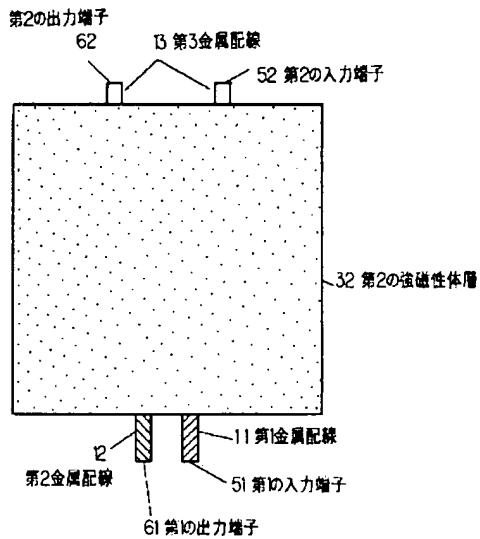
【図11】



【図12】



【図13】



【図14】

